1. Motivar o conceito de TLB
   1. **Motivação**: Apresentar para o aluno que devido a adição memória virtual, está ocorrendo dois acessos a memória principal, pois um acesso é realizado na tabela de páginas (para a tradução do endereço) e outro para obter o dado ou instrução (com o endereço traduzido).
   2. **Objetivo**: Motivar a utilização de algo que diminua a quantidade de acesso a memória principal, pois o acesso a memória principal e lento (em comparação com memórias caches) e isso degrada o desempenho final.
   3. **Detalhamento:** Esta atividade deve seguir os seguintes passos:
      1. Carregar o arquivo de arquitetura Architecture-09-MM-8-VM(PS-4-DM-16-RA-FIFO)-TLB(none).
      2. Carregar o mesmo arquivo de rastro TR\_1\_read\_5\_cres\_PS\_8.
      3. (Plano de Aula 3) Realizar uma execução passo a passo (no mínimo 3 passos).
      4. (Plano de Aula 6) Realizar uma execução direta e abrir o log da segunda atividade do plano de aula 4 que os alunos salvaram.
      5. Mostrar para os alunos que era realizado somente um acesso a memória principal, mas com a adição da memória virtual está ocorrendo dois acessos.
      6. Relembrar que os dois acessos são: um acesso para tradução do endereço e outro para obtenção do dado ou instrução.
   4. **Arquivos** 
      1. **Arquitetura:** Architecture-02-1-MM-8-VM(PS-4-DM-4-RA-FIFO)-TLB(none)
      2. **Rastro:** TR\_1\_read\_8\_cres\_PS\_8
   5. **Pontos a destacar**
      1. Os resultados dessa nova execução é**:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Memória / Taxas | Acessos de leitura | Acessos de escrita | Page fault  (Page table) | **Tempo total** |
| Page Table | 8 | 0 | 0 | **80** |
| Principal | 16 | 0 |  | **160** |
| Disk | 0 | 0 |  | **0** |
|  |  |  |  | **TT: 160** |